

METHOD FOR PRODUCING HIGH-RESISTANCE GaN CRYSTAL LAYER

Publication number: JP2001247399 (A)

Publication date: 2001-08-11

Inventor(s): YOSHIDA KIYOTERU

Applicant(s): FURUKAWA ELECTRIC CO LTD

Classification:

- International: C30B29/06; C30B23/02; H01L21/203; H01L21/205; H01L21/338; H01L29/812; H01L29/62; C30B29/10; C30B23/02; H01L21/02; H01L29/66; H01L29/02; (IPC6:
7); C30B29/08; C30B23/02; H01L21/203; H01L21/338; H01L29/812

- European:

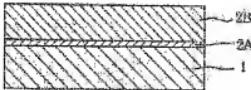
Application number: JP20000058029 20000303

Priority number(s): JP20000058029 20000303

Abstract of JP 2001247399 (A)

PROBLEM TO BE SOLVED: To propose a method for producing high-resistance GaN crystal layers effective by application during the production of a GaN-based field-effect transistor(ET).

SOLUTION: This method for producing high-resistance GaN crystal layers 2A and 2B comprises doping at least one pair of n-p-type conductivity from the group of Al, Mg or Zn when the GaN crystal is epitaxially grown. Specifically, Mg or Zn is doped in a hydrogen atmosphere at ≥ 600 deg.C. temperature when the GaN crystal is epitaxially grown or the Mg or Zn is doped at $\geq 1 \times 10^{17}$ cm⁻³ concentration and C is then doped at $\geq 1 \times 10^{18}$ cm⁻³ concentration when the GaN crystal is epitaxially grown.



Data supplied from the esp@cenet database — Worldwide

Family list

3 application(s) for JP2001247399 (A)

1 SEMICONDUCTOR DEVICE AND MANUFACTURING METHOD**THEREFOR**

Inventor: ISHII HIROTATSU

Applicant: FURUKAWA ELECTRIC CO LTD

EC:

IPC: H01L21/265; H01L21/338; H01L29/812;

(+7)

Publication info: JP2001210657 (A) — 2001-08-03

2 METHOD FOR PRODUCING HIGH-RESISTANCE GaN CRYSTAL**LAYER**

Inventor: YOSHIDA KIYOTERU

Applicant: FURUKAWA ELECTRIC CO LTD

EC:

IPC: C30B29/38; C30B23/02; H01L21/203; (+15)

Publication info: JP2001247399 (A) — 2001-09-11

3 Gate field-effect transistor, inverter device, and production**processes therefor**

Inventor: ISHII HIROTATSU [JP]; YOSHIDA

Applicant: ISHII HIROTATSU; YOSHIDA

SEIKOH [JP]

SEIKOH

EC: H01L21/203C8; H01L21/205C6; (+3)

IPC: H01L21/203; H01L21/205; H01L21/337;

(+12)

Publication info: US2001015437 (A1) — 2001-08-23

Data supplied from the esp@cenet database — Worldwide

(19)日本国特許庁 (JP)

(12) 公開特許公報 (A)

(11)特許出願公開番号

特開2001-247399

(P2001-247399A)

(43)公開日 平成13年9月11日(2001.9.11)

(51)Int.Cl. ⁷	識別記号	F I	△-コ-』(参考)
C 30 B 29/38	C 30 B 29/38	D 4 G 0 7 7	
23/02	23/02	5 F 0 4 5	
H 01 L 21/203	H 01 L 21/203	M 5 F 1 0 2	
21/205	21/205	5 F 1 0 3	
21/338	29/80	B	

審査請求 未請求 請求項の数 3 O.L (全 4 頁) 最終頁に統く

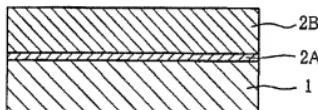
(21)出願番号 特願2000-58829(P2000-58829)	(71)出願人 000005290 古河電気工業株式会社 東京都千代田区丸の内2丁目6番1号
(22)出願日 平成12年3月3日(2000.3.3)	(72)発明者 吉田 清原 東京都千代田区丸の内2丁目6番1号 古河電気工業株式会社内
	(74)代理人 100090022 弁理士 長門 侃二
	最終頁に統く

(54)【発明の名称】 高抵抗GaN結晶層の製造方法

(57)【要約】

【課題】 GaN系FETの製造時に適用して有効な高抵抗GaN結晶層の製造方法を提供する。

【解決手段】 GaN結晶をエピタキシャル成長させる際に、C、Mg、Znの群から選ばれる少なくとも1種のp型不純物をドーピングする高抵抗GaN結晶層2A、2Bの製造方法であり、具体的には、GaN結晶をエピタキシャル成長させる際に、温度600°C以上の水素雰囲気中でMgまたはZnをドーピングする、または、GaN結晶をエピタキシャル成長させる際に、MgまたはZnを $1 \times 10^{17} \text{ cm}^{-3}$ 以上の濃度でドーピングしたのち、更にCを $1 \times 10^{18} \text{ cm}^{-3}$ 以上の濃度でドーピングする。



【特許請求の範囲】

【請求項1】 GaN結晶をエピタキシャル成長させる際に、C, Mg, Znの群から選ばれる少なくとも1種のp型不純物をドーピングすることを特徴とする高抵抗GaN結晶層の製造方法。

【請求項2】 GaN結晶をエピタキシャル成長させる際に、温度600°C以上の水素雰囲気中でMgまたはZnをドーピングする請求項1の高抵抗GaN結晶層の製造方法。

【請求項3】 GaN結晶をエピタキシャル成長させる際に、MgまたはZnを $1 \times 10^{17} \text{ cm}^{-3}$ 以上の濃度でドーピングしたのち、更にCを $1 \times 10^{18} \text{ cm}^{-3}$ 以上の濃度でドーピングする請求項1の高抵抗GaN結晶層の製造方法。

【発明の詳細な説明】

【0001】

【発明の属する技術分野】本発明は高抵抗GaN結晶層の製造方法に関し、更に詳しくは、GaN系材料を用いたMESF(金属-半導体)型の電界効果トランジスタ(FET)の製造時に適用して有効な高抵抗GaN結晶層の製造方法に関する。

【0002】

【従来の技術】最近、化合物半導体材料を用いたMESF型FETの開発研究が盛んに進められている。その場合、用いる化合物半導体としては、通常、GaN系の材料が主流になっていて、一般に、次のようにして製造される。まず、半絶縁性のGaN単結晶基板の上に、例えばMOCVD法により、半絶縁性のアンドープのGaNからなるバッファ層を形成し、更にその上に、例えばTMG(トリメチルガリウム)またはTMA(トリメチルアルミニウム)とアルシン(A₃H₃)を用い、またn型ドーピントとしてシランガスを用いてn型のAlGaN結晶層を活性層として成膜しFET層構造を形成する。

【0003】ついで、このn型AlGaN層の上に、例えばラズマCVD法でSiO₂などを堆積させながら、そこにフォトリソグラフィーと化学エッチング処理などを組み合わせて、ソース電極、ドレイン電極、およびゲート電極を形成するためのパターニングを行い、ソース電極とドレイン電極の形成箇所には例えばAuGe/Niを蒸着し、またゲート電極の形成箇所にはAlを蒸着して目的とするFETが製造される。

【0004】ところで、GaN系材料を用いたFETは、高温特性が良好であって、400°C近い温度環境下においても熱暴走することなく動作するということが知られている。このGaN系FETを製造する場合、GaN系材料では、GaN結晶の成長の様子によって大口径の単結晶基板を製造することが困難であるため、単結晶基板の上に所定のGaN系結晶をエピタキシャル成長させて所望するFET層構造を形成することができない。

【0005】そのため、GaN系のFETを製造する際には、基板としてサファイア、SiC、GaNなどの異種類の材料から成る基板を用い、その上に例えばMOCVD法で、一旦、アンドープのGaN結晶層を成長し、ついてその上にn型のGaN結晶層を活性層として成長し、全体のFET層構造を形成している。上記したFET層構造を有するGaN系FETが動作するために、n型活性層の下に位置するアンドープのGaN結晶層層は高抵抗になっていることが必要である。

【0006】しかしながら、上記したFET層構造を形成するとき、アンドープのGaN結晶層には窒素空孔に基づく欠陥が多数存在し、この欠陥がn型のキャリアとして働いて、一般に、n型で抵抗化してしまうという問題が生ずる。このように、従来は、MOCVD法でGaN系FETを製造する場合、活性層の下に位置するアンドープのGaN結晶層を高抵抗化する技術は確立されていないのが現状である。

【0007】

【発明の解決しようとする課題】本発明はGaN系材料でFET層構造を形成するときの上記した問題を解決し、GaN系FETの製造に適用して有効な高抵抗GaN結晶層の製造方法の提供を目的とする。

【0008】

【課題を解決するための手段】上記した目的を達成するために、本発明においては、GaN結晶をエピタキシャル成長させる際に、C, Mg, Znの群から選ばれる少なくとも1種のp型不純物をドーピングすることを特徴とする高抵抗GaN結晶層の製造方法が提供される。

【0009】具体的には、GaN結晶をエピタキシャル成長させる際に、温度600°C以上の水素雰囲気中でMgまたはZnをドーピングする高抵抗GaN結晶層の製造方法や、GaN結晶をエピタキシャル成長させる際に、MgまたはZnを $1 \times 10^{17} \text{ cm}^{-3}$ 以上の濃度でドーピングしたのち、更にCを $1 \times 10^{18} \text{ cm}^{-3}$ 以上の濃度でドーピングする高抵抗GaN結晶層の製造方法が提供される。

【0010】

【発明の実施の形態】GaN結晶には窒素空孔などが多数存在していて、それがn型不純物と同様の働きをするために、無添加のGaN結晶は通常のn型導電性を示す。この導電性を打ち消すために、本発明方法では、エピタキシャル成長法でGaN結晶層を成長する際に、そこに、C, Mg, Znの1種または2種以上から成るp型不純物を含むドーピングをしておき、そのp型不純物により、上記欠陥に基づくn型の残留キャリアを打ち消す。もって当該GaN結晶層のn型化を抑制してその高抵抗化が図られる。すなわち、形成されたFET層構造において、n型の活性層の下に位置するGaN結晶層は高抵抗になっている。

【0011】具体的には、次のような態様が実施され

る。第1の態様はMgまたはZnを用いた場合であって、この場合には、GaN結晶層の成膜を高温のH₂雰囲気中で行い、そのときに、MgまたはZnをドーピングする。この過程で、MgまたはZnはHと結合し、その結果、成長されたGaN結晶層は電気的に不活性となる。すなわち、高抵抗化する。このときの温度は600°C以上に設定される。600°Cより低い温度の場合は、上記した結合反応が充分に進行しないからである。このような状態にあるGaN結晶層の上にn型の活性層を成膜しても、当該GaN結晶層がn型化して低抵抗化することは起こりづらくなる。

【0012】第2の態様はCを用いた場合であって、この場合には、GaN結晶層の成膜時にMgまたはZnをドーピングして成膜されるGaN結晶層におけるキャリア濃度を低減し、その状態で更に高温度のCをドーピングする。ドーピングされたCはGaN結晶層中に深い準位を形成するのでGaN結晶層は高抵抗化する。この場合、GaN結晶層のキャリア濃度を補償するためにドーピングする上記MgまたはZnの濃度は1×10¹⁷cm⁻³以上に設定される。濃度がこれより高くなると、GaN結晶層はp型傾向を示しはじめるからである。また、Cのドーピング濃度は1×10¹⁸cm⁻³以上に設定される。濃度がこれより低くなると、GaN結晶層中の準位は浅くなつて、高抵抗化の実現が困難になるからである。

【0013】

【実施例】本発明の実施例を、GaN系FETの製造に適用した事例として以下に説明する。まず、図1で示したように、例えばサファイアから成る半絶縁基板1の上に、MBE法で、ジメチルヒドラジン(3×10⁻⁶Torr)、金属Ga(5×10⁻⁶Torr)、金属Mg(1×10⁻⁸Torr)、およびH₂(1×10⁻⁶Torr)を用い、成長温度640°Cで厚み2nmのGaN結晶層をバッファ層2Aとして成膜し、更にその上に、厚み1μmのMgドープGaN結晶層(Mgのドーピング濃度：1×10¹⁷cm⁻³)2Bを成膜した。

【0014】ついで、MgドープGaN結晶層2Bにジメチルヒドラジン(3×10⁻⁶Torr)を照射しながら温度640°Cで10分間保持した。更に、金属Ga(8×10⁻⁷Torr)とアンモニア(5×10⁻⁴Torr)を用い、またn型ドーピングとしてSi(1×10⁻⁴Torr)を用い、成長温度850°CでMgドープGaN結晶層2Bの上に厚み30nmのn型のSiドープGaN結晶層3を成膜した。このときのn型キャリア濃度が2×10¹⁷cm⁻³になることは、事前にホール測定で確認してある。

【0015】ついで、SiドープGaN結晶層3の全面にSiO₂膜を成膜し、更にその上にフォトレジストを塗布したのちバーニングし、ついでフック酸を用いてSiO₂層に部分的に露あけを行った。そして、エレクトロサイクロトロンレゾナンス(ECR)プラズマ装置を

用い、メタン、アルゴン、水素の混合ガスをプラズマ化したエッチャングガスを前記した露あけ部分に照射して当該部分にMgドープGaN結晶層2Bの表面が露出するまでのエッチャング処理を行ったのち、残りのSiO₂膜の全体をエッチャング除去した。

【0016】ついで、SiドープGaN結晶層3の上に、フォトレジストを用いてソース電極とドレイン電極の形成箇所をバーニングしたのち、その形成箇所にTi/AIを真空蒸着してソース電極とドレイン電極を形成し、それ以外の部分のTi/AIはリフトオフした。更に、フォトレジストを用いてゲート電極の形成箇所をバーニングし、その形成箇所にTi/Ptを真空蒸着してゲート電極を形成し、それ以外のTi/Ptをリフトオフすることにより、図3で示したFETを製造した。

【0017】このFETの電気的特性の評価を行った。ソース電極とドレイン電極間のコンタクト抵抗は1×10⁻⁸Ω·cm²であり、両電極はオーム接続していることが確認された。また、ゲート電極は漏出特性を示し、そのときの立ち上がり電圧は1.1Vであった。更に、FETの飽和特性和良好であった。

【0018】このようなことから、本発明方法を適用して成膜したバッファ層2AとMgドープGaN結晶層はいずれも高抵抗であることを確認することができる。なお、上記実施例では、GaN結晶層の成膜における窒素源としてはジメチルヒドラジンヒュニモニア、Ga源としては金属Caを用いたが、プラズマ窒素、ラジカル窒素を用いることもでき、またGa源としてはTEGやTMGを用いることもできる。

【0019】更に、上記実施例では、エビタキシャル成長法としてMBE法を採用したが、MOCVD法でも同様の結果を得ることができた。なお、上記実施例のMgドープGaN結晶層2Bのキャリア濃度は1×10¹⁵cm⁻³以下であった。そして、Mgをドーピングしないときに成膜されるアンドープGaN結晶層のキャリア濃度は1×10¹⁷cm⁻³であった。

【0020】すなわち、Mgを1×10¹⁷cm⁻³の濃度でドーピングすることにより、上記アンドープGaN結晶層のキャリアは打ち消されている。そこで、このMgドープGaN結晶層2B(キャリア濃度：1×10¹⁵cm⁻³以下)に更に1×10¹⁵cm⁻³ドーピングしてFET層構造を形成し、それを用いて実験例と同様にFETを製造し、その電気的特性を評価したところ、上記した実施例の場合と同様の結果が得られた。

【0021】

【発明の効果】以上の説明で明らかのように、本発明方法によれば、高抵抗のGaN結晶層を製造することができる。そして、本発明を適用することにより、高溫動作が可能なGaN系のFETを製造することができるでの、その工業的価値は大である。

【図面の簡単な説明】

【図1】本発明方法で、基板の上に高抵抗のGaN結晶層を成長した状態を示す断面図である。

【図2】本発明による高抵抗GaN結晶層の上にSiドープGaN結晶層を成長した状態を示す断面図である。
【図3】GaN系FETの断面構造を示す断面図であ

る。

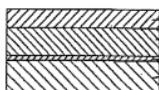
【符号の説明】

1	半導体基板(サファイア)
2A	バッファ層
2B	MgドープGaN結晶層
3	SiドープGaN結晶層

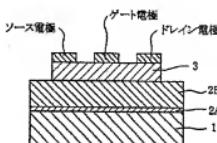
【図1】



【図2】



【図3】



フロントページの続き

(51)Int.Cl.7

H01L 29/812

識別記号

P I

テ-72-ド' (参考)

Fターム(参考) 4G077 A403 BE15 DA05 EB01 EB02
 ED06 EF01 EF03 HC06 SA04
 SF045 AA04 AA05 AB14 AC08 AC09
 AC19 AH10 AD12 AE05 AE07
 AF04 AF09 BB16 CA06 DA53
 DA59 DA66
 SF102 GB01 GC01 GD01 GJ10 GX04
 GL04 GS01 GT03 HC01 HC11
 HC16
 SF103 AA05 DD01 GG01 HH03 HH04
 JJ01 KK01 KK07 KK10 LL08
 RR05